

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-163208

(43)公開日 平成10年(1998)6月19日

(51)Int.Cl. <sup>*</sup>	識別記号	F I	
H 0 1 L 21/3205		H 0 1 L 21/88	A
21/02		21/02	Z
21/302		21/304	3 2 1 E
21/304	3 2 1	21/68	A
21/68		21/302	Z

審査請求 未請求 請求項の数19 O L 外國語出願 (全 28 頁)

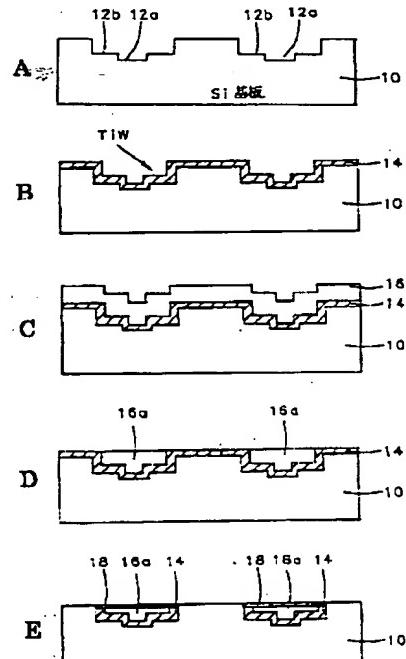
(21)出願番号	特願平9-108044	(71)出願人	390023582 財団法人工業技術研究院 台湾新竹縣竹東鎮中興路四段195號
(22)出願日	平成9年(1997)3月21日	(72)発明者	陳來助 台湾新竹市明湖路四百巷六十六弄十三號
(31)優先権主張番号	8 5 1 1 4 8 2 4	(74)代理人	弁理士 杜本一夫 (外5名)
(32)優先日	1996年11月28日		
(33)優先権主張国	台湾 (TW)		

(54)【発明の名称】 半導体基板上に極小スケールのCu相互接続金属を形成する方法及び装置

(57)【要約】

【課題】 ウエット工程からドライ工程への変更回数を少なくする。

【解決手段】 超クリーン環境で基板10の上面に誘電体層を設け、マスクを介して該誘電体層に窪み12a、12bを形成し、その上にバリア層14を形成する。次いで厳格性が緩いクリーン環境において、Cu層16を形成し、窪みの部分を残してCu層を機械的研磨してバリア層の表面を露出させ、露出されたバリア層を選択的に除去し、残留するCuの表面上にバリア層18を選択的に形成して、基板表面を平坦化する。さらに超クリーン環境において誘電体層を形成し、上記のステップを繰り返し、上位層にCu層を形成する。窪み12aには誘電体層を貫通するバイア・ホールが形成され、多層相互間の電気的接続がなされる。



- 【特許請求の範囲】**
- 【請求項 1】 半導体デバイス上にCu相互接続金属を形成するための自己完結型の製造装置において、密閉チャンバと、処理対象の半導体ウエハを前記チャンバに導入する入力ステーションと、前記チャンバ内で処理した半導体ウエハを抽出する出力ステーションと、前記チャンバ内のCuメッキ装置ステーションと、バリア金属無電解メッキ装置ステーションと、主研磨装置ステーションと、補助研磨装置ステーションと、前記チャンバ内にあり、処理対象の半導体ウエハを、前記入力ステーションから前記Cuメッキステーション、前記主研磨ステーション、前記補助研磨ステーション、前記バリア金属エッチング・ステーションを介して前記出力ステーションまで移動させ、関連する半導体製造装置において高クリーン・ルーム環境を必要とする処理を更に行うために、前記チャンバから抽出する自動インデクサ(指標)装置とからなることを特徴とする自己完結型の製造装置。
- 【請求項 2】 請求項1記載の自己完結型の装置において、該装置は更に、前記チャンバ内にウエハ洗浄ステーションを含み、前記自動インデクサ装置は、処理対象ウエハを前記ウエハ洗浄ステーションにも送り出し可能であることを特徴とする自己完結型の装置。
- 【請求項 3】 請求項1記載の自己完結型の装置において、前記主研磨装置ステーションは、回転可能なプラテンと、前記プラテン上の研磨円盤と、前記プラテン上へスラリを分配するスラリ分配手段と、前記プラテンの上にあり、研磨対象のウエハを前記研磨円盤に接触状態に支持する、回転可能なキャリアとを含み、前記補助研磨装置ステーションは、回転可能なプラテンと、前記プラテン上の研磨円盤と、前記プラテンの上にあり洗浄化対象のウエハを支持する回転可能なキャリアと、前記プラテン上に水を分配する手段とを含んでいることを特徴とする自己完結型の装置。
- 【請求項 4】 請求項1記載の自己完結型の装置において、前記バリア金属層メッキ装置ステーションは、前記層を無電解メッキするように構成され、前記Cuメッキ装置ステーションは、Cuを無電解メッキするように構成されていることを特徴とする自己完結型の装置。
- 【請求項 5】 請求項5記載の自己完結型の装置において、前記バリア金属層メッキ装置は、TiWを無電解的に堆積するように構成されていることを特徴とする自己完結型の装置。
- 【請求項 6】 半導体基板上に極小スケールのCu相互接続金属を形成する方法において、超クリーン環境において、前記基板の上面に、第1の誘電体層を形成するステップと、超クリーン環境において、前記基板上に、所望の相互接続金属を規定するマスクを堆積し、露光し、現像するステップと、前記マスクを介して、前記第1の誘電体層に溝をエッチングするステップと、前記マスクを除去するステップと、  
10 バリア金属の薄い第1の層を形成するステップと、厳格性が緩いクリーン環境において、電気または無電解メッキ技法により、前記誘電体層上に厚いCu層を形成するステップと、厳格性が緩いクリーン環境において、前記誘電体層の表面の厚いCu層を機械的に研磨して、前記バリア層の表面を露出させるステップと、厳格性が緩いクリーン環境において、前記露出されたバリア層を選択的に除去するステップと、  
20 厚いCuの表面上に第2の薄いバリア層を選択的に形成するステップと、超クリーン環境において、前記第1の誘電体層上に第2の誘電体層を形成するステップと、上述のステップを繰り返し、相互接続金属の上位層を形成するステップとからなることを特徴とする方法。
- 【請求項 7】 請求項6記載の方法において、前記厚いCu層は、前記バリア層を導体ベースとして用い、電気メッキ技法によって形成されることを特徴とする方法。
- 【請求項 8】 請求項6記載の方法において、前記バリア層を活性化させ、無電解メッキ技法により前記厚いCu層を形成することを特徴とする方法。
- 【請求項 9】 請求項8記載のプロセスにおいて、前記バリア層の活性化は、Pdによって得ることを特徴とする方法。
- 【請求項 10】 請求項6記載の方法において、前記第2バリア層は、厳格性が緩いクリーン環境において、無電解メッキ技法によって形成されることを特徴とする方法。
- 【請求項 11】 請求項6記載のプロセスにおいて、前記溝は、超クリーン環境において、プラズマ・エッチング技法を用いて前記基板内にエッチングされることを特徴とする方法。
- 【請求項 12】 請求項11記載の方法において、前記薄い第1バリア層は、超クリーン環境において、化学蒸着技法によりTiWを堆積することを特徴とする方法。
- 【請求項 13】 請求項11記載の方法において、前記薄い第1バリア層は、スパッタ堆積技法によって形成することを特徴とする方法。
- 【請求項 14】 請求項7記載のプロセスにおいて、前記マスキング処理は2工程処理であり、バイア・ホール

を規定する第1のマスクと、前記相互接続金属パターンを規定する第2のマスクとを用いる工程であることを特徴とする方法。

【請求項15】 請求項6記載の方法において、前記機械的研磨は、機械的および化学的研磨の組み合わせであることを特徴とする方法。

【請求項16】 請求項6記載の方法において、前記バリア層はTiWであることを特徴とする方法。

【請求項17】 請求項6記載の方法において、前記超クリーン環境はクラス1であり、前記厳格性が緩いクリーン環境はクラス1000であることを特徴とする方法。

【請求項18】 請求項6記載の方法において、前記厚いCu層は機械的に研磨されて前記下層のバリア層を露出させ、前記バリア層は選択的にエッチングされて前記基板の上面を露出させることを特徴とする方法。

【請求項19】 請求項6記載の方法において、前記マスク処理は、2工程処理であり、接点ホールを規定する第1マスクと、前記相互接続メタルルジ・パターンを規定する第2マスクとを用いる工程であることを特徴とする方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、微細化集積回路半導体デバイス(microminiatureized integrated circuit semiconductor devices)に関し、更に特定すれば、半導体素子用高密度相互接続金属(メタルルジ: metallurgy)を生成するための製造装置および方法に関するものである。

##### 【0002】

【従来の技術】年とともに、集積回路の複雑度は劇的な上昇を続けている。メモリ、マイクロプロセッサ、およびミニコンピュータに対する応用が進むに連れて、より高度な微小微細化、より高速なスイッチング速度、および小型化されしかも低コストの集積回路半導体素子に対する要求が更に増大している。素子の微小微細化を高めることによって、性能および密集密度(packing density)の改善および単位当たりのコスト低減が図られる。しかしながら、微小微細化によって、歩留まりや信頼性の低下を招き、相互接続部の性能およびノイズ・マージンが悪化する。

【0003】半導体素子の微小微細化を進めるためにには、設計者は、剥がれのないAl(アルミ)線のための金属層、多レベル相互接続、および全体的な平面化に更に頼らなければならないと思われる。他の代替案は、金属部をCuに変更すること、および誘電率が低い絶縁材料を用いることである。相互接続金属系にCuを使用することは、Cuが低い抵抗率および高い密度の電流を流すことから、AlおよびAl合金に対する代替金属材料として、長い間検討されている。しかしながら、その

使用は多くの問題を提起しており、該問題として、半導体基板への拡散の可能性、様々な絶縁層に対するCuの低接着力、およびブランケットCu層にマスキングおよびエッチングを行い複雑な回路構造に組み入れることの本来的な困難性、等があげられる。

【0004】"Dual Damascene Copper Metallization Process Using Chemical-Mechanical Polishing"と題するS. Lakshminarayanan et al.の論文は、Cuスパッタ堆積技法(sputter deposition techniques)を用いて、酸化物層内の溝にCuを形成することにより、Cu金属相互接続系を製造するプロセスについて記載している。過剰なCuは、化学/機械的研磨を用いた研磨によって除去し、溝の中にCuを残すものである。この記載されたプロセスは、ドライな超クリーン環境において実施される多数のプロセス工程、および研磨のようにウェットな、即ち、本来「汚い」環境で実施されるプロセス工程を含んでいる。ウェット環境からドライ環境にウェハを転送する毎に、時間も費用も必要とする清浄および乾燥処理を行わなければならない。ダマシーン・プロセス(Damascene process)と呼ばれる、記載されたプロセスは、このようなドライ環境/ウェット環境間の移動を多く伴うため、コスト上昇および潜在的な歩留まりの低下を招く。

【0005】Cuの半導体物質への拡散は、種々のバリア層を用いることによって防止することができるが、これらの層は、Cuの他の様々な誘電体物質への接着性を高めるように作用する可能性もある。無電解メッキ技法による金属パターンの規定も、"Selective and Blanket Electroless Cu Plating Initiated By Contact Filling" (著者—Dubin et al., 1995年6月27-29日、VMIC会議, 1995 ISMIC、第315-324頁) のような出版物に示唆されている。半導体における無電解Cu堆積について記載した他の出版物に、"Electroless Copper Deposition On Metals and Metal Silicides" (著者—Cecilia Y. Mak, M.R.S小冊子、1994年8月、第5-62頁) がある。

【0006】無電解金属メッキを使用して半導体(SC)金属相互接続構造を形成する際、従来のドライSC製造技術を、無電解および電気金属メッキにおいて必要なウェット技術と組み合わせる必要がある。2つの技術には異なる様々な要件があるので、半導体製造ラインにおいてこれらを組み合わせることは非常に難しく、しかも費用がかかるものとなる。電気メッキ、機械的研磨等のように、ドライ技術のプロセスからウェット技術のプロセスに変更するとき、ウェット・プロセスの後に、非常に注意深く清浄処理および乾燥工程を実施しなければならない。このプロセスは、時間も費用もかかるため、できるだけ少なく抑えるべきである。

##### 【0007】

【発明の概要】本発明の目的は、SC基板上に微小微細

加工されたCu金属を形成する際に、ウェットからドライへプロセスを変更する回数ができるだけ制限する方法を提供することである。本発明の目的は、無電解および電気メッキ技法を、機械／化学的研磨および関連プロセスと組み合わせることにより、Cu金属を製造するために必要な製造要素を収容する、新規な自己完結型の閉鎖機構(self-contained enclosure)を提供することである。本発明の他の目的は、従来の製造ラインに組み込み可能な無電解および電気メッキによってCu金属を製造し、素子の残りの部分はドライな超クリーン環境を使用して製造するための閉鎖機構および製造要素を提供することである。本発明の更に他の目的は、Cuメッキおよびデポジット層の平面化を利用し、環境を変える必要性を少なくする方法および製造装置を提供することである。

【0008】上述の目的にしたがって、Cu相互接続金属(メタルルジ)を形成する改良された方法を提示する。従来の技法によって基板の内部素子構造を形成した後、基板表面に第1の誘電体層を形成する。レジスト・マスクを形成し、露光し、現像することによって、レベル1の相互接続金属を規定する。第1の層内に溝をエッチングによって形成し、マスクを除去する。これらの工程は、全て、非常に小さい金属サイズに必要とされる、非常にクリーンなドライ環境において実施される。表面上および溝内にバリア層を堆積した後、Cu層を表面にメッキし、このCu層を研磨してバリア層を露出させる。次に、露出させたバリア層をエッチングによって除去し、Cuを研磨してこれを基板表面と同一面とする。無電解メッキ技法を用いて、Cu上に第2のバリア層を選択的に形成する。次に、基板を清浄化し乾燥させ、第2の誘電体層を被着する。上述の工程を繰り返して、追加のメタルルジ層を形成する。

【0009】また、SC製造ラインに組み込むための、Cu金属相互接続構造を形成する自己完結型の装置(self-contained unit)も提示する。本発明の装置は、密閉チャンバ、このチャンバに対してSCウェハの導入および抽出を行う入出力ステーション、Cuメッキ装置、およびチャンバ内の無電解メッキ槽、チャンバ内の主および補助研磨装置、チャンバ内の装置間でウェハを移動させる自動化割送り装置(automated indexer apparatus)、およびチャンバ内の装置を自動的に動作させる手段を有する。

【0010】

【発明の実施の形態】ここで図面を参照すると、半導体基板上で特定のプロセス工程を実施する、本発明の製造装置の特定実施例が図示されている。図5は、このプロセスの工程を示している。ブロック101は、内部デバイス構造を含む半導体基板の上面に誘電体層を形成することを示している。この層は、当技術では公知の技法によって、典型的にクラス1000という非常にクリー

ンな雰囲気で形成する。基板は、種々の不純物領域、埋込酸化物分離部、トランジスタ、抵抗等を含む内部構造を有する。これらは当技術では公知であり、本発明の一部をなすものではない。ブロック102は、基板上にレジスト層をデポジットし、露光し、現像することによって、所望の金属パターンを規定することを示している。ブロック103は、プラズマ・エッティング等のような、公知のドライ・エッティング技法を使用して、基板の露出領域にエッティングを行うことを示している。ブロック102、103によって示される工程を繰り返し、基板に至るバイア・ホールまたは金属レベル間のバイア・ホールを形成することができる。ブロック104は、レジスト・マスクを除去したことを示す。ブロック105は、約100nmの薄いバリア層を、表面上および溝に堆積することを示している。バリア層は典型的にはTiWであるが、公知のバリア層のいずれでもよく、これも超クリーン環境において形成する。ブロック106は、約2umの比較的厚いCu層を、基板の表面上および溝に堆積することを示している。この厚さは、溝を基板の表面よりも高いレベルに削るのに十分な大きさである。あるいは、公知の無電解メッキ技法によって、Cu層を形成することも可能である。無電解メッキを使用する場合、バリア層は、公知のように、Pd、Ptまたはその他の活性剤によって活性化されなければならない。ブロック107は、バリア層までの機械的研磨によってCu層を平面化することを示している。ブロック108は、第1のバリア層の露出部分をウェット・エッティングを用いて除去することを示している。ブロック109は、無電解メッキを用いて、Cu線の上面に第2のバリア層を選択的に形成することを示している。ブロック106～109は全て、ウェット・プロセス工程であり、通常クラス1000の厳格さが緩い環境で行われる。ブロック110は、超クリーン環境に再導入するための準備として、基板を清浄化し乾燥させることを示している。ブロック111は、基板上に第2の誘電体層を形成し、前述のプロセスの一連の工程を繰り返し、他の金属層を形成することを示している。

【0011】図4A～図4Eは、本発明の方法および製造装置によって実施されるプロセスの様々な段階における半導体基板を示している。該製造装置は自己完結型であり、半導体デバイス上にCu相互接続金属をデポジットし整形するためのいくつかのプロセス・ステップを実施するように、設計されたものである。通常、デバイスは、種々の誘電体分離部、及び領域を形成し、相互接続金属系を受け入れる準備が整ったデバイス基板を生産するために必要なイオン注入工程を備えた、従来からのプロセス・ラインにおいて製造される。従来の製造ラインでは、この処理は、典型的にクラス1のクリーン・ルームの、非常にクリーンなドライ環境において実施される。この環境は、設置および維持が困難であるが、最新

の超微小微細加工デバイス構造を製造するためには、必要なものである。本出願人の製造装置では、相互接続金属を製造可能な一連の製造工程を集合化し、典型的にクラス1000のクリーン・ルームの、環境がそれほど厳格でない自己完結閉鎖機構内で実施する。相互接続金属の製造の間に環境を変える回数は大幅に減少する。これにより、製造コスト低減、デバイスを生産するために必要な時間の短縮、および製品歩留まりの向上を図る。本出願人のプロセスでは、ブロック105において第1のバリア層の後に基板を除去し、ブロック106～109までの処理は、厳格さが緩いウェット環境において行われる。従来技術では、これと同じ処理は数回の環境変更を必要としている。

【0012】ここで図4A～図4Eを参照すると、種々の段階における相互接続構造を示す一連の連続的な断面図によって、好適なプロセスが図示されている。図4Aでは、基板10に相互接続構造の形状を規定する窪み12が設けられている様子が示されている。基板10は、分離構造、P/N接合、およびメモリ・セルやスイッチング回路等を形成するドープ領域のような、従来の集積回路構造が内部に埋め込まれている。レベルが低い方の窪み12aは、誘電体層を貫通するバイア・ホールを規定することができ、種々の素子領域およびバイア相互接続回路構造の少なくとも一方に対する接点領域として機能する。基板上の誘電体層内に形成された窪み12bは、相互接続金属の形状を規定する。窪み12a、12bは、従来の製造技法によって、本装置を超クリーン環境に入れる前に、基板内に形成される。図4Bには、好ましくはTiWで作られCVDまたはプラズマ・デポジットによって形成された、バリア層または接着層14が示されている。

【0013】図4Cに示すように、電気メッキまたは無電解メッキ技法を用いて、Cuの厚い膜を層14上に形成する。層16の厚さを調節して、溝を完全に埋めるようとする。このプロセスは、ウェット環境において実施する。図4Dに示すように、層16の物質を層14の表面まで除去し、部分16aを窪み内に残すことによって、基板表面を平面化する。図4Eに示すように、ウェット・エッティングによって、バリア層14の露出部分を選択的に除去する。突出したCu部分を研磨によって除去し、第2の薄いバリア層18をCuパターン表面上に選択的に形成することによって、基板の表面を平面化する。このプロセスを繰り返すことによって、上に位置する他の金属層を形成することができる。

【0014】層16の平面化は、図3に示す装置20内で達成される。研磨装置20は、上面に研磨パッド24を取り付けられた、回転可能なテーブル22を有する。テーブル22上に回転可能なウェハ・キャリア26を取り付け、パッド24と接触するように基板10を下面上に配置する。適宜の構造28が回転パッド上にスラ

リを分配する。ここで図1を参照すると、本発明の製造装置の全体的な構造が、概略的に示されている。装置30は、関連する装置を密閉するためのチャンバ32を有する。装置内の空気環境は、従来の製造ライン程厳格ではない。典型的に、クラス1000のクリーン・ルームが適当である。

【0015】チャンバ32に対して半導体ウェハの導入および抽出を行うために、入力および出力ステーション(input and output station)34が設けられている。無電解TiWデポジット・ステーション、および電気メッキまたは無電解メッキCu・デポジット・ステーション38が設けられている。これらのステーションは、典型的に、メッキ溶液で充填されたメッキ・タンク、およびウェハを支持する運搬ステーションである。好ましくは、予備／金属洗浄タンク40および洗浄ステーションも、チャンバ32内に設けられている。主研磨装置42が設けられており、該装置は図3により詳しく示されている。この装置は、Cu層の大部分を除去するために使用され、従来のパッドおよびスラリを使用する。基板10の表面からスラリを除去するために、補助研磨装置も備えることが好ましい。この装置は、通常、DI水(DI water)および非常に滑らかなペーストのみを用いる。スラリ／電解質供給装置46が、チャンバ32内に設けられている。基板を装置に向かって進ませたり、装置から離れるように移動させることができる適当な自動インデクサ装置46が、チャンバ32内に設けられている。研磨装置42、44、およびウォータ・ジェット洗浄装置に隣接して、追加の転送装置48を設けることが好ましい。

【0016】装置30の好適実施例が図2に示されている。装置30は、チャンバ32、主研磨機42、補助研磨機44、および電気メッキ・タンク36、38を備える電気メッキ・ステーション60を有する。無負荷／負荷ステーション(unload/loadstation)34、ウォータ・ジェット洗浄ステーション50、タンク40を収容した洗浄ステーション62、および自動インデクサ装置46も含まれている。また、この装置は、無電解バリア層メッキ装置、およびバリア・エッティング槽も含んでいる。図6に、基板上にCuをメッキする電気メッキ装置60を示している。装置60は、ポンプ74によって溶液を循環させる溶液タンク72、一定温度を保持する熱交換機76、およびフィルタ78を含んでいる。内部バッフル(internal baffle)80が、バッフル80上の電極82に取り付けられているウェハ10に向けて溶液を送出する。電極はモータ84によって回転する。第2の電極86がタンク72内に取り付けられ、電源88から給電される。

【0017】代替案として、活性化されている第1のバリア層14上に、無電解デポジットによって、Cuを形成することも可能である。活性化は、超クリーン環境に

おいて行うことができる。無電解デポジット方法とは、外部から電圧を印加することなく、電解質溶液から基板上に物質薄膜層を形成することを意味する。デポジットは、溶液内の金属イオン、還元剤、錯化剤と、触媒面上のpH調節剤との間の電気化学的反応によって生じる。無電解金属デポジット・プロセスは、次の2工程に分割することができる。即ち、触媒面上の還元剤の陽極酸化と、金属イオンの陰極還元である。無電解デポジット・プロセスにおける触媒物質の役割は、還元剤の触媒酸化を与え、陽極反応が生じる表面上の部位から金属イオンの陰極還元のための表面部位まで電子を搬送する導電性物質として作用することである。TiWの無電解デポジットは公知であり、ここでは具体的には論じない。

【0018】本発明の精神および範囲から逸脱することなく、装置30には様々な修正が可能である。概して言えば、装置30内の処理装置は、ウェット・デポジットおよび平面化装置、ならびに清浄化およびエッチング要素のように、このような装置を支援する要素に関連する。装置の置き換えも可能である。例えば、従来の電気\*

\* メッキ装置は、無電解メッキ装置に置き換えることができる。以上、好適実施例を参照しながら本発明を特定して図示しかつ説明したが、特許請求の範囲に規定された一般的な発明概念の精神または範囲から逸脱することなく、様々な変更や修正が可能であることは、当業者には理解されよう。

## 【図面の簡単な説明】

【図1】本発明の製造装置の概略図である。

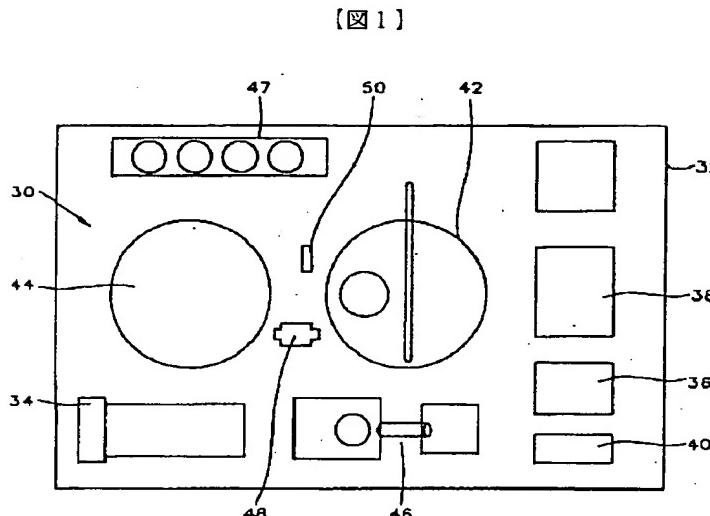
【図2】本発明の製造装置に用いて好適なクラスタ・ツール装置の平面図である。

【図3】本発明の製造装置に用いて好適な機械的研磨装置の側面図である。

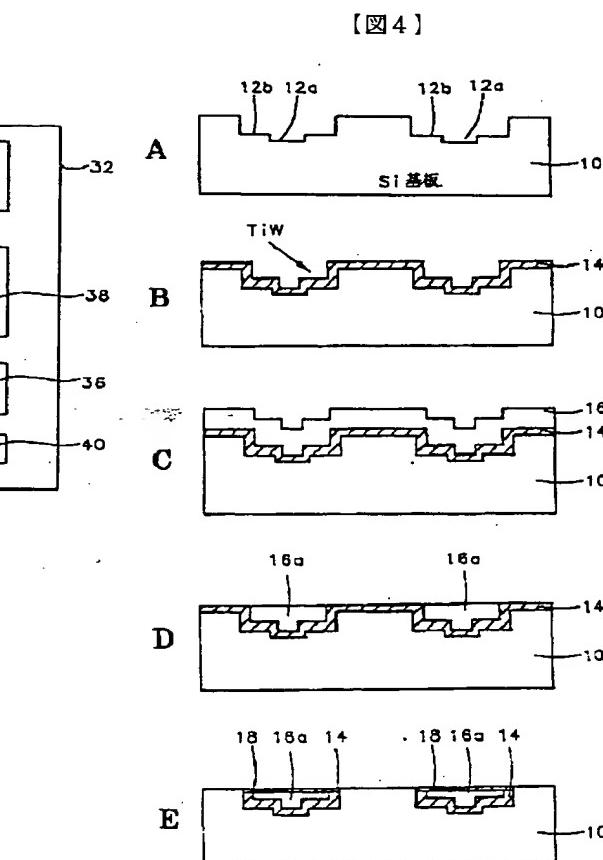
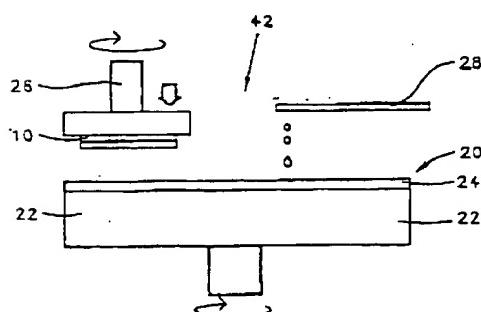
【図4】A～Eは、本発明の製造装置において実施される処理の性質を示すための一連の断面図である。

【図5】本発明の一連のプロセス工程を示すブロック図である。

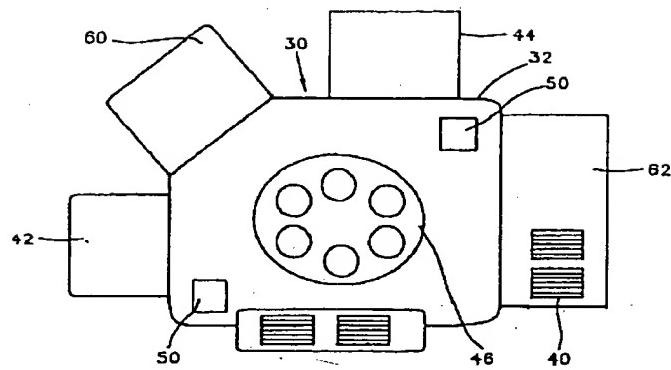
【図6】Cuをデポジットするための電気メッキ装置を示すブロック図である。



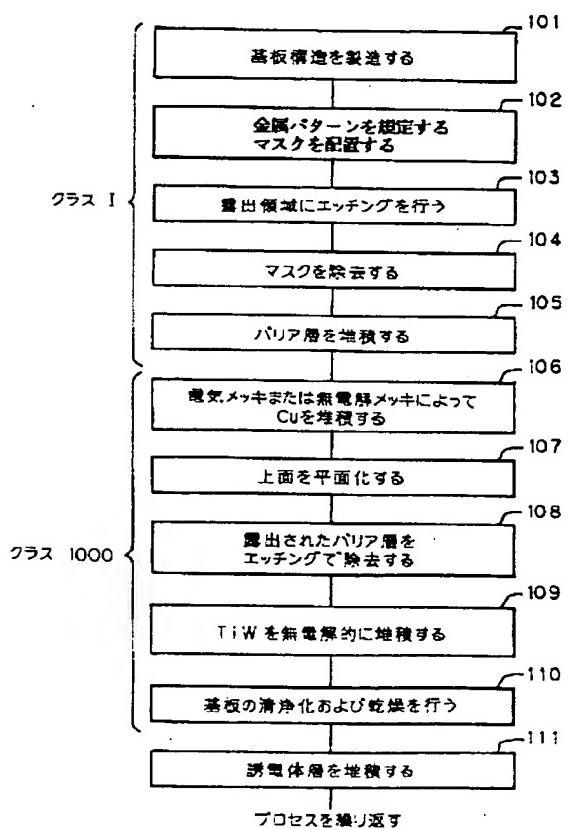
【図3】



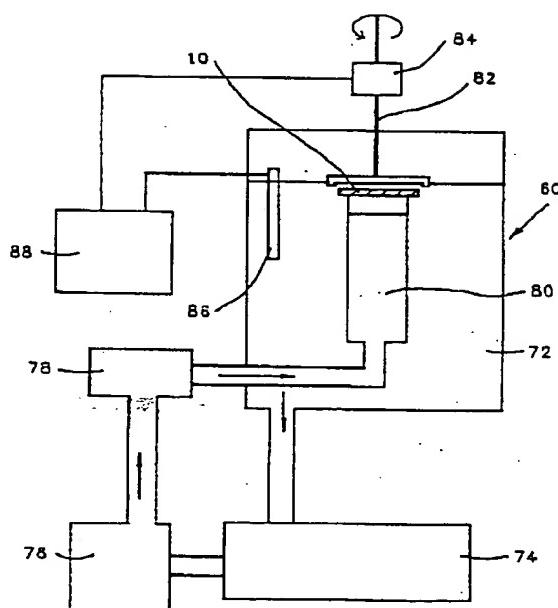
【図2】



【図5】



【図6】



【外国語明細書】

1. Title of Invention

METHOD AND APPARATUS FOR FORMING VERY SMALL SCALE CU  
INTERCONNECT METALLURGY ON SEMICONDUCTOR SUBSTRATES

2. Claims

1. A self contained manufacturing unit for forming Cu  
interconnect metallurgy on a semiconductor device comprising:

an enclosed chamber;

an input station for introducing semiconductor wafers to be  
processed into said chamber;

an output station for withdrawing semiconductor wafers that  
have been processed in said chamber;

a Cu plating apparatus station within said chamber;

a barrier metal electroless plating apparatus station;

a primary polishing apparatus station;

a secondary polishing apparatus station;

an automated indexer apparatus within said chamber for  
moving wafers to be processed from said input station, through  
said Cu plating station, said primary polishing station, said  
secondary polishing station, said barrier metal etch station, to  
said output station for withdrawal from said chamber for further  
processing in associated semiconductor manufacturing apparatus  
that require high clean room environments.

2. The self contained unit of claim 1 which further includes a  
wafer cleaning station within said chamber,

said automated indexer apparatus capable of also delivering  
wafers to be processed to said wafer cleaning station.

3. The self contained unit of claim 1 wherein said primary polishing apparatus station includes

a rotatable platen,

a polishing disk on said platen,

a means to dispense slurry on said platen,

a rotatable carrier above said platen for supporting a wafer to be polished in contact with said polishing disk,

said secondary polishing apparatus station including a rotatable platen, a polishing disk on said platen, a rotatable carrier above said platen for supporting a wafer to be cleaned, and a means to dispense water on said platen.

4. The self contained unit of claim 1 wherein said barrier metal layer plating apparatus station is adapted to electrolessly plate the layer, and said Cu plating apparatus station is adapted to electrolessly plate Cu.

5. The self contained unit of claim 5 wherein said barrier metal layer plating apparatus is adapted to electrolessly deposit TiW.

6. A process for forming a Cu interconnect metallurgy on a microminiturized integrated circuit substrate comprising:  
forming a first dielectric layer on the top surface of said substrate, in a very clean environment;  
depositing, exposing, and developing a mask on said substrate that defines the desired interconnection metallurgy, in a very clean environment;

etching grooves in said first dielectric layer through said mask;

removing said mask;

depositing a thin first layer of a barrier metal;

depositing a thick layer of Cu on the dielectric layer by electro or electroless plating technics, in a less stringent clean environment;

mechanically polishing away the thick Cu layer on the surface of the dielectric layer to expose the surface of the barrier layer, in a less stringent clean environment;

selectively removing the exposed barrier layer, in a less stringent clean environment.

selectively depositing a second thin barrier layer on the surface of the Cu remaining in said grooves, in a less stringent clean environment,

forming a second dielectric layer over the first dielectric layer in a very clean environment, and

repeating the above steps to form an overlying layer of interconnect metallurgy.

7. The process of claim 6 wherein the thick layer of Cu is deposited by electroplating technics using the barrier layer as a conductive base.

8. The process of claim 6 wherein the barrier layer is activated and the thick layer of Cu is deposited by electroless plating technics.

9. The process of claim 8 wherein the activation of the barrier layer is achieved with Pd.

10. The process of claim 6 wherein the second barrier layer is deposited by electroless plating technics, in a less stringent clean environment.

11. The process of claim 6 wherein the grooves are etched in the substrate using plasma etching technics, in a very clean environment.

12. The process of claim 11 wherein said thin first barrier layer is TiW deposited by chemical vapor deposition technics, in a very clean environment.

13. The process of claim 11 wherein said thin first barrier layer is deposited by sputter deposition technics.

14. The process of claim 7 wherein the masking operation is a two step operation with a first mask to define the via holes, and a second mask to define the interconnection metallurgy pattern.

15. The process of claim 6 wherein the mechanical polishing is a combination of mechanical and chemical polishing.

16. The process of claim 6 wherein the barrier layer is TiW.

17. The process of claim 6 wherein the very clean environment is class 1, and the less stringent clean environment is class 1000.

18. The process of claim 6 wherein the thick Cu layer is mechanically polished to expose the underlying barrier layer, and the barrier layer is selectively etched away to expose the top surface of said substrate.

19. The process of claim 6 wherein the mask operation is a two step operation with a first mask to define the contact holes, and a second mask to define the interconnection metallurgy pattern.

### 3. Detailed Description of Invention

#### BACKGROUND OF THE INVENTION

##### 1. Field Of The Invention

The present invention relates to microminiaturized integrated circuit semiconductor devices, more specifically to manufacturing apparatus and methods for producing high density interconnect metallurgy for semiconductor devices.

##### 2. Description Of The Related Art

There continues to be a dramatic increase in the complexity of integrated circuits each year. As applications develop for memories, microprocessors, and minicomputers there is an increasing demand for greater microminiturization, greater switching speeds, and smaller and less costly integrated circuit semiconductor devices.

Increased device microminiturization improves device performance, packing density and reduces cost per unit. However, microminiturization reduces yield and reliability, and degrades interconnect performance and noise margins.

In order to continue microminiturization of semiconductor devices it appears that designers must resort to more metal layers for non-scaling Al lines, multi-level interconnections, and global planarization. Another alternative is to change the metallurgy to Cu and/or change to insulating materials having lower dielectrics.

The use of Cu in interconnection metallurgy systems has long been considered as an alternative metallization material to Al and Al alloys due to its low resistivity and ability to reliably carry high current densities. However, its use has presented many problems, such as the possibility of diffusion into the semiconductor substrate, the low adhesive strength of Cu to various insulating layers, and the difficulties inherent in masking and etching the blanket Cu layer into intricate circuit structures.

An article entitled " Dual Damascene Copper Metallization Process Using Chemical-Mechanical Polishing " by S. Lakshminarayanan et al., describes a process wherein a Cu metallurgy interconnection system is fabricated by depositing Cu in grooves in an oxide layer, using Cu sputter deposition technics. The excess Cu is then polished away using chemical/mechanical polishing leaving the Cu in the grooves. The described process contains numerous process steps that are performed in a dry very clean environment, and process steps performed in a wet or inherently " dirty " environment, such as polishing. Each time the wafer is transferred from the wet to a dry environment a time consuming and expensive cleaning and drying operation must be performed. The described process called a Damascene process involves many such dry to wet environment changes that increase costs and potentially reduce yield.

The diffusion of Cu into semiconductor materials can be prevented by using various barrier layers which can also act to increase the adhesion of Cu to various other dielectric materials. The defining of the metallurgy patterns by electroless plating technics has also been suggested in publications such as " Selective and Blanket Electroless Cu Plating Initiated By Contact Filling ", Author - Dubin et al., in June 27-29, 1995 VMIC Conference, 1995 ISMIC pages 315-324. Another publication which

describes electroless Cu deposition in semiconductors is "Electroless Copper Deposition On Metals and Metal Silicides", Author- Cecilia Y. Mak, in MRS bulletin/Aug. 1994, pages 55-62.

The use of electroless metal plating to form semiconductor (SC) metallurgy Interconnection structure involves combining the conventional dry SC fabrication technology with wet technology that is necessary in electroless and electrical metal plating. The two technologies have different and diverse requirements that make their combination in a semiconductor manufacturing line quite difficult and expensive. When changing from a dry technology to a wet technology process, such as electroplating, mechanical polishing etc., a very careful cleaning and drying step must be performed following the wet process. This process is time consuming and expensive and should be as limited as possible.

#### SUMMARY OF THE INVENTION

It is an object of the invention to provide a method of forming microminiturized Cu metallurgy on a SC substrate in which the number of times the processes are changed from wet to dry is as limited as possible.

It is an object of the invention to provide a new self-contained enclosure to house the manufacturing elements necessary to fabricate Cu metallurgy by combining electroless and electro plating technics with mechanical/chemical polishing, and associated processes.

It is another object of the invention to provide an enclosure and manufacturing elements for manufacturing Cu metallurgy by electroless and electroplating that can be

incorporated into a conventional manufacturing line, where the remainder of the device is manufactured using dry very clean environments.

It is yet another object of the invention to provide a method and a manufacturing unit for utilizing Cu plating and planarization of the deposited layers, wherein the requirements for changing environments is reduced.

In accordance with the aforementioned objectives, an improved method of forming Cu interconnect metallurgy is presented. After the internal device structure of substrate is formed by conventional technics, a first dielectric layer is formed in the substrate surface. A resist mask is deposited, exposed and developed to define a level of interconnection metallurgy. Grooves are etched into the first layer and the mask removed. These steps are all done in a very clean dry environment which is necessitated by very small metallurgy size. After a barrier layer is deposited on the surface and in the grooves, a layer of Cu is plated on the surface, and the Cu layer polished to expose the barrier layer. The exposed barrier layer is then etched away and the Cu polished to planarize it with the substrate surface. A second barrier layer is selectively deposited on the Cu, using electroless plating technics. The substrate is then cleaned and dried, and a second dielectric layer applied. The aforementioned steps are repeated to form additional metallurgy layers.

Also, a self-contained unit for forming Cu metallurgy interconnection structures for incorporation into SC manufacturing lines is presented. The unit of the invention has an enclosed chamber, input and output stations for introducing and withdrawing SC wafers to and from the chamber, a Cu plating apparatus, and a bath for electroless plating in the chamber, primary and secondary polishing apparatus in the chamber, automated indexer apparatus for moving the wafers between the apparatus within the chamber, and a means to automatically operate the apparatus within the chamber.

## DESCRIPTION OF THE PREFERRED EMBODIMENTS

Referring now to the Figs. of the drawings, there is depicted specific embodiments of the manufacturing unit of the invention for performing specific process steps on a semiconductor substrate. Fig. 5 depicts the steps of the process. Block 101 indicates that a dielectric layer is formed on the top surface of a semiconductor substrate containing internal device structure. This layer is formed in a very clean environment, typically a class 1000, by technics well known in the art. The substrate will have internal structure including various impurity regions recessed oxide isolation, transistors, resistors etc. that are well known in the art and are not part of this invention. Block 102 indicates that a resist layer is deposited on the substrate, exposed, and developed to define the desired metallurgy pattern. Block 103 indicates that the exposed areas of the substrate are etched using known dry etching technics, such as plasma etching etc. The steps indicated by blocks 102 and 103 can be repeated to form via holes to the substrate or between metallurgy levels. Block 104 indicates that the resist mask has been removed. Block 105 indicates that a thin barrier layer, on the order of 100 nm, is deposited on the surface and in the depressions or grooves. The barrier layer is typically TiW, but could be any of several known barrier layers, which is also deposited in a very clean environment. Block 106 indicates that a relatively thick Cu layer, on the order of 2  $\mu\text{m}$ , is deposited on the surface of the substrate and into the grooves, or depressions. The thickness is great enough to file the grooves to a level above the surface of the substrate. The Cu layer alternatively can be deposited by electroless plating technics, which are well known. When electroless plating is used the barrier layer must be activated with Pd, Pt, or other activating agents, as is known. Block 107 indicates that the Cu layer is planarized by mechanical polishing down to the barrier layer. Block 108 indicates that the exposed portions of the first barrier layer are etched away using a wet etchant. Block 109 indicates that a second barrier layer is selectively deposited on the top surface of the Cu lines, using electroless plating.

Blocks 106 through 109 are all wet process steps that are done in a less stringent environment, typically class 1000. Block 110 indicates that the substrate is cleaned and dried in preparation for re-introduction into the very clean environment. Block 111 indicates a second dielectric layer is deposited on the substrate and the aforescribed process sequence of steps is repeated to form another metallurgy layer.

Figs. 4a-4e depict a semiconductor substrate at various stages of the process performed by the method and manufacturing unit of the invention. The unit is self contained and designed to perform several process steps for depositing and shaping Cu interconnect metallurgy on a semiconductor device. Typically, the device has been fabricated in a conventional process line to form the various dielectric isolation, regions, and provide the ion implantation steps necessary to produce a device substrate that is ready for receiving the interconnection metallurgy system. In the conventional manufacturing line this processing is performed in a very clean dry environment, typically a clean room class 1. This environment is difficult to establish and to maintain, but is necessary to fabricate the modern very microminiaturized device structure. In applicant's manufacturing unit, a series of manufacturing steps capable of fabricating interconnection metallurgy are grouped and performed in a self-contained enclosure where the environment is less stringent, typically in a clean room class 1000. The number of times the environment is changed during fabrication of the interconnection metallurgy system is drastically reduced. This reduces the cost of fabrication, the time required to produce the device, and increases the yield of the product. In applicant's process the substrate is removed after the first barrier layer, block 105, and the processing from block 106 to 109 done in a wet less stringent environment. In the prior art technology, the same processing would have required several environment changes.

Referring now to Figs. 4a- 4e, a preferred process is depicted by a series of sequential cross sectional views that show the interconnect structure at various stages. In Fig. 4a, a substrate 10 is shown provided with depressions 12 that define the shape of an interconnect structure. The substrate 10 will have conventional integrated circuit structure embodied therein, such as isolation structure, P/N junctions and doped regions that form memory cells, switching circuits etc. The lower level depressions 12a can define via holes through a dielectric layer that serve as contact areas to various device regions and/or via interconnection circuit structure. The depressions 12b, formed in a dielectric layer on the substrate, define the interconnection metallurgy configuration. The depressions, 12a and b, are formed in the substrate prior to its entering the unit by conventional fabrication technics in a very clean environment. In Fig. 4b there is shown a barrier or adhesion layer 14, preferably of TiW, which is deposited by CVD or plasma deposition.

As shown in Fig 4c, a thick layer of Cu is deposited over layer 14 using electroplating or electroless plating technics. The thickness of layer 16 is adjusted to completely fill the grooves. This process is done in a wet environment. As shown in Fig. 4D, the surface of the substrate is planarized by removing the material of layer 16 down to the surface of layer 14 thereby leaving portions 16a in the depressions.

As indicated in Fig. 4E, the exposed portions of barrier layer 14 are selectively removed by a wet etch. The surface of the substrate can be planarized by polishing to remove the protruding Cu portions, and a second thin barrier layer 18 selectively deposited on the Cu pattern surface. The process can be repeated to form another overlying metallurgy layer.

The planarization of layer 16 is accomplished in an apparatus 20, shown in Fig. 3. Polishing apparatus 20 has a

rotatable table 22 having a polishing pad 24 mounted on the top surface. A rotatable wafer carrier 26 is mounted over table 22 with substrate 10 mounted on the lower surface in contact with pad 24. A suitable structure 28 dispenses slurry on the rotating pad 24.

Referring now to Fig 1, there is schematically depicted the general structure of the manufacturing unit of the invention. The unit 30 has a chamber 32 for enclosing the associated apparatus. The air environment in the unit is not as stringent as in a conventional manufacturing line. Typically, a clean room class 1000 is adequate.

An input and output station 34 is provided to introduce and withdraw semiconductor wafers from the chamber 32. An electroless TiW deposition station, and an electroplating or electroless plating Cu deposition station 38 are provided. These stations are typically plating tanks filled with plating solutions and a handling mechanism to support the wafers. Preferably a pre/metal cleaning tank 40 and a cleaning station are also provided in chamber 32. A primary polishing apparatus 42 is provided, which is shown in more detail in Fig. 3. This apparatus is used to remove the major portion to the Cu layer and uses a conventional pad and slurry. Preferably a secondary polishing apparatus is provided for removing slurry from the surface of substrate 10. This apparatus will normally use only DI water plus a very smooth paste. A slurry/electrolyte supply system 46 is provided within the chamber 32. A suitable automated indexing apparatus 48 capable of moving the substrates to and from the apparatus is provided within chamber 32. An additional transfer apparatus 48 is preferably provided adjacent polishing apparatus 42 and 44, and a water jet cleaning unit.

A preferred embodiment of the unit 30 is shown in Fig 2. The unit 30 has a chamber 32, a primary polisher 42, a secondary

polisher 44, and an electroplating station 60, provided with electroplating tanks 36 and 38. An unload/load station 34, a water jet cleaning stations 50, a cleaning station 62 containing tanks 40, and an automatic indexer 46 are also included. The apparatus also includes an electroless barrier layer plating device and a barrier etching bath.

In Fig. 6 there is depicted an electroplating apparatus 60 for plating Cu on a substrate. The apparatus 60 includes solution tank 72 with a pump 74 to circulate the solution, a heat exchanger 76 to maintain a constant temperature, and a filter 78. An internal baffle 80 directs the solution to the wafer 10 mounted on an electrode 82 above baffle 80. The electrode is rotated by motor 84. A second electrode 86 is mounted in tank 72, and powered by power supply 88.

Alternatively the Cu can be deposited by electroless deposition over the first barrier layer 14 that has been activated. The activation can be done in the very clean environment. The electroless deposition method involves the formation of a thin film of material on the substrate from an electrolytic solution without external applied voltage. The deposition is caused by an electrochemical reaction between the metal ions, reducing agent, complexing agents in the solution, and pH adjusters on a catalytic surface. Electroless metal deposition processes can be divided into two steps: anodic oxidation of reducing agents on catalytic surfaces, and cathodic reduction of metal ions. The role of catalytic materials in electroless deposition processes is to provide catalytic oxidation of reducing agents and to act as a conductive material for transport of electrons from the sites on the surface where anodic reaction occurs to the surface sites for cathodic reduction of metal ions. The electroless deposition of TiW is known and the specifics will not be discussed.

Various modifications can be made in the unit 30 without departing from the spirit and scope of the invention. In general, the processing apparatus in unit 30 relate to wet deposition and planarizing apparatus and the elements that support such apparatus, such as cleaning and etching elements. Substitutions can be made in the apparatus. For example, conventional electro plating apparatus can replace the electroless plating apparatus.

While the invention has been particularly shown and described with reference to the preferred embodiments thereof, it will be understood by those skilled in the art that various changes and modifications may be made without departing from the spirit or scope of the general inventive concept as defined by the appended claims.

#### 4. Brief Description of Drawings

Fig. 1 is a schematic view of the manufacturing unit of the invention.

Fig. 2 is a top plan view of a cluster tool apparatus suitable for use in the manufacturing unit of the invention.

Fig. 3 is an elevational view of a mechanical polishing apparatus suitable for use in the manufacturing unit of the invention.

Figs. 4a-4e is a sequence of cross sectional views that illustrate the nature of the operations to be performed in the manufacturing unit of the invention.

Fig. 5 is a block diagram that depicts the sequence of process steps of the invention.

Fig. 5 depicts an electroplating apparatus for depositing Cu.

【図1】

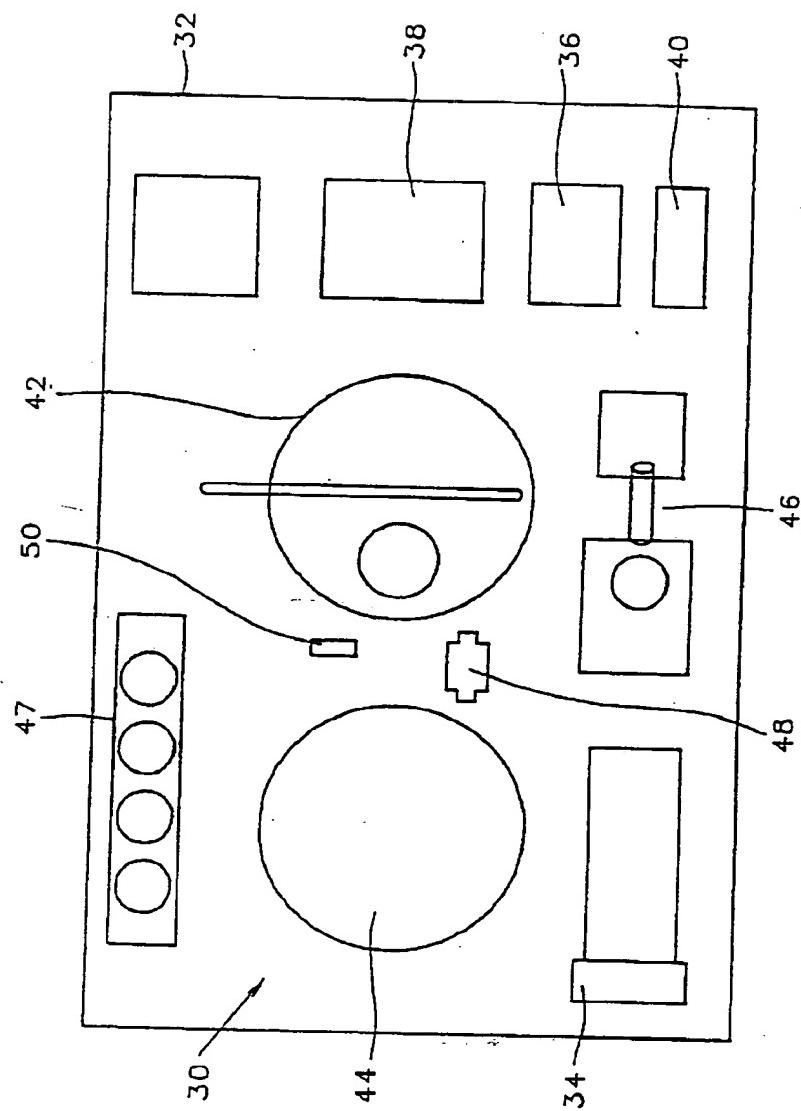


FIG. 1

【図2】

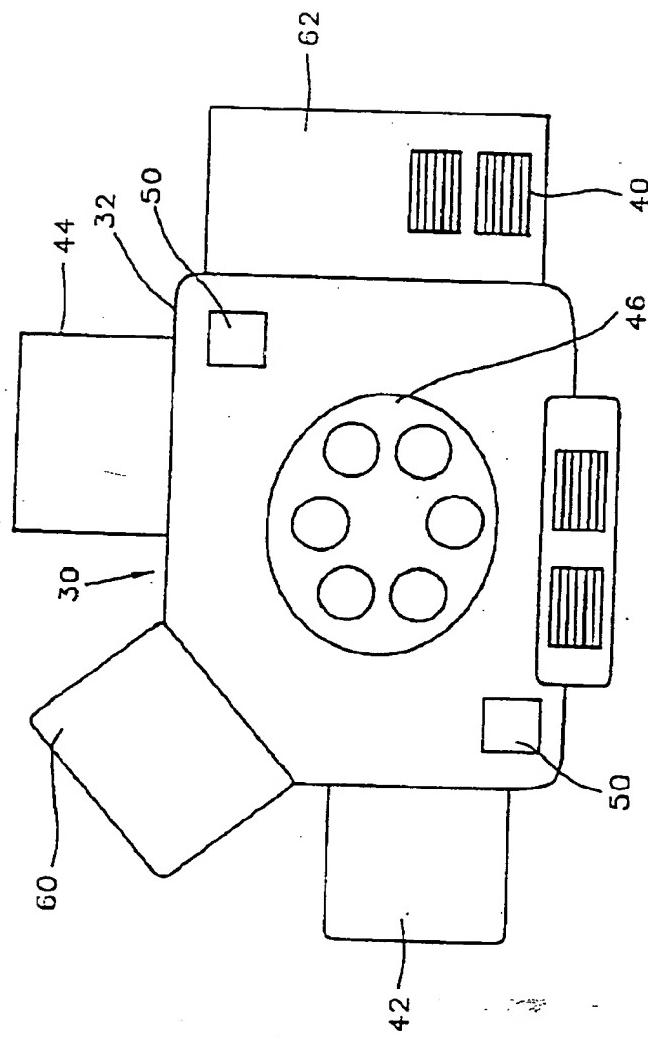


FIG. 2

【図3】

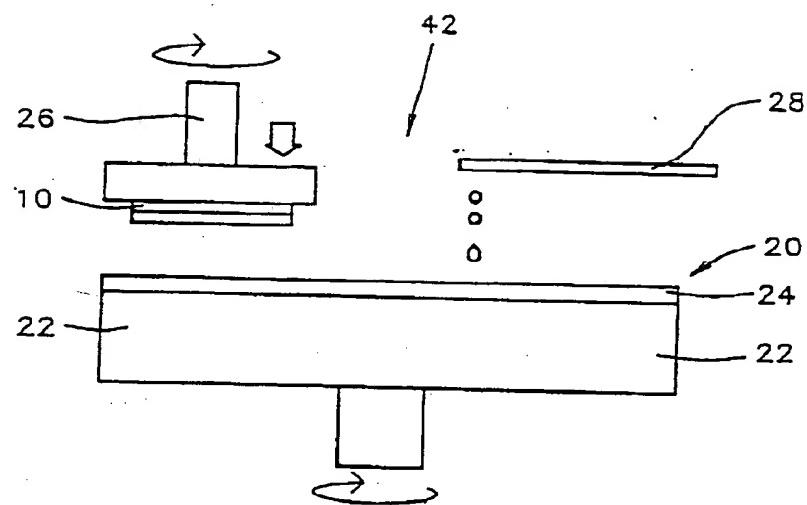


FIG. 3

【図4】

FIG. 4A

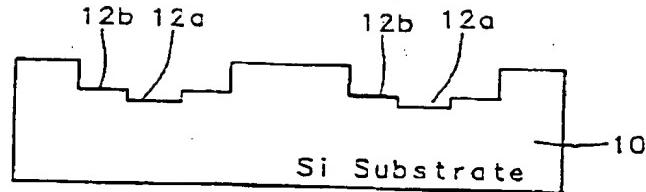


FIG. 4B

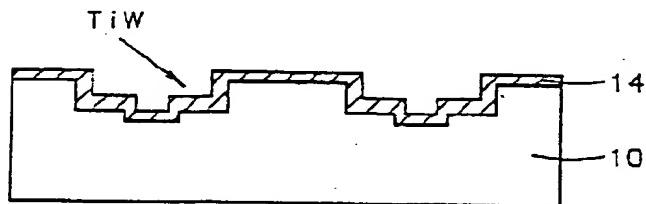


FIG. 4C

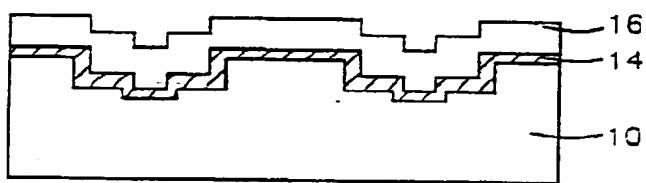


FIG. 4D

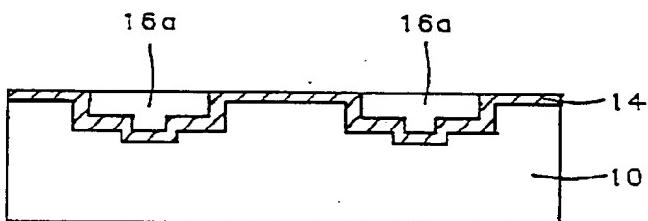
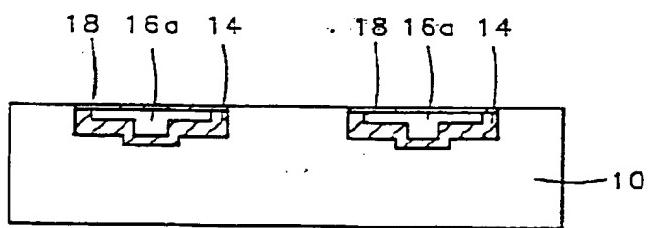


FIG. 4E



[図5]

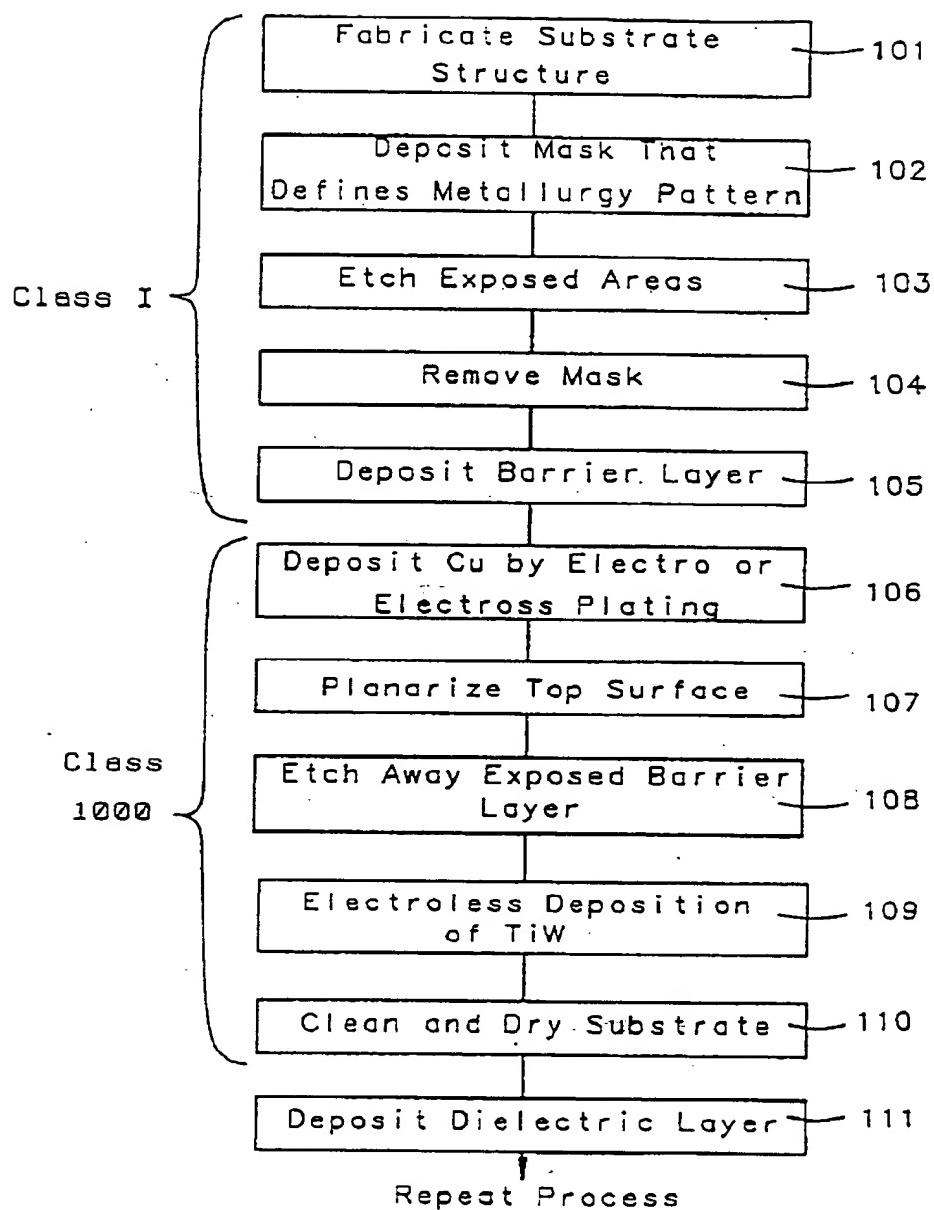


FIG. 5

【図6】

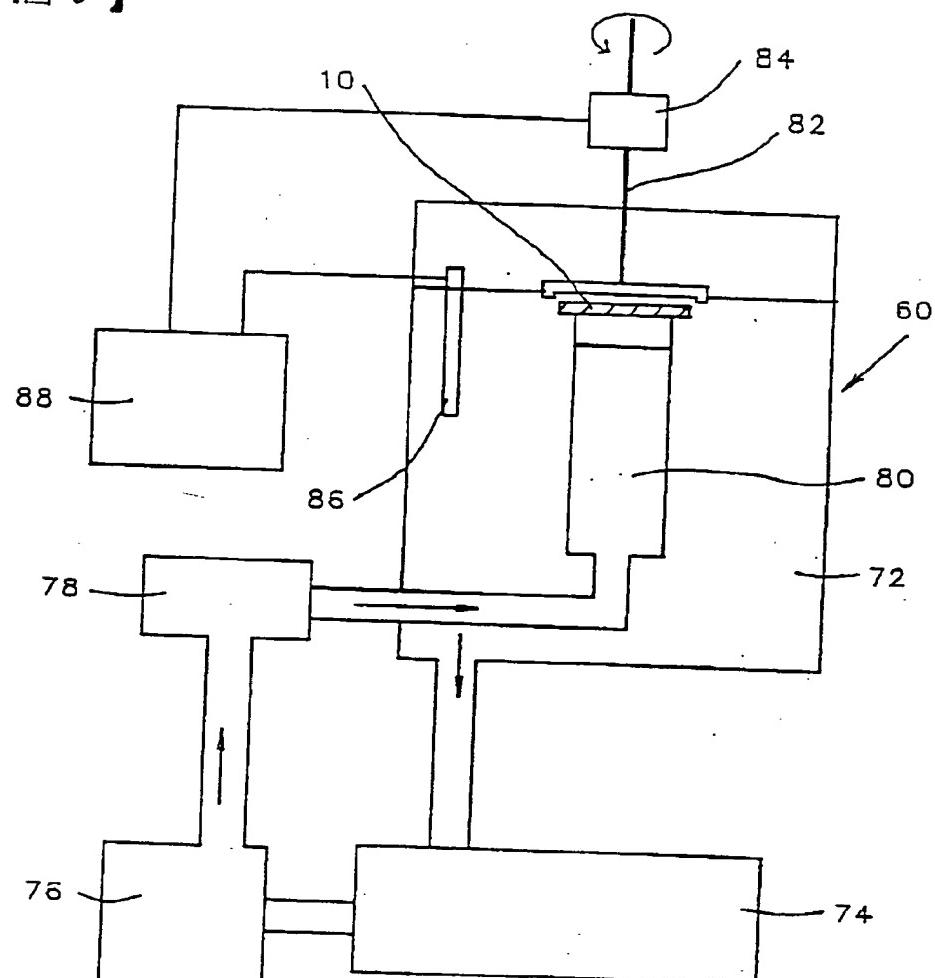


FIG. 6

**1. Abstract**

A self contained unit for forming Cu metallurgy interconnection structures on SC substrates. The unit has an enclosed chamber with a plurality of apparatus for performing wet processes, including electroless metal plating and planarization. The unit provides a way of reducing the number of times the wafer is transferred between the wet process steps that require less environmental cleanliness and dry very clean processes steps.

**2. Representative Drawing**

Fig. 1